

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09330920 A**

(43) Date of publication of application: **22.12.97**

(51) Int. Cl. **H01L 21/316**
H01L 21/265
H01L 21/76

(21) Application number: **08149604**

(71) Applicant: **SEIKO EPSON CORP**

(22) Date of filing: **11.08.98**

(72) Inventor: **MARUO YUTAKA**

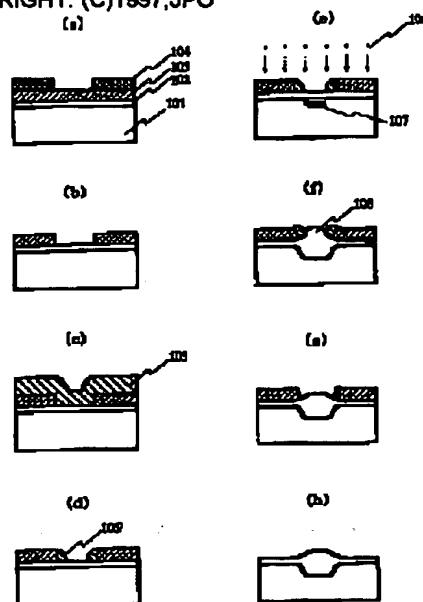
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

COPYRIGHT: (C)1997,JPO

(57) Abstract

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device which shortens bird's beak and does not give much stress to a substrate in separating LOCOS elements.

SOLUTION: A silicon nitride film 103 is selectively formed as a mask used at the time of forming a field oxide film and a side wall 105 is installed to the mask. Then a damaged layer 107 is formed in a substrate by implanting the ions 106 of an impurity, such as oxygen, silicon, argon, hydrogen, boron, or BF₂ into an area proposed for the formation of the field oxide film 108. Then the oxide film 108 is formed by thermal oxidation. Therefore, only the width of the side wall which works as a mask at the time of forming the oxide film 108 can be made finer and the vertical oxidizing rate of the substrate is raised while the horizontal oxidizing rate is lowered due to the ions implanted into the substrate, resulting in shorter bird's beaks. In addition, the stress given to the substrate is reduced, because the oxidation of the substrate immediately below the side wall 105 is suppressed.



*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the semiconductor device characterized by to include the process which prepares the antioxidizing film alternatively on a silicon substrate through a pad oxide film, the process which prepares a side attachment wall in said antioxidizing film, said antioxidizing film and the process which perform the ion implantation of an impurity by using said side attachment wall as a mask, and the process which performs thermal-oxidation processing further by using said antioxidizing film and said side attachment wall as a mask, and form said field insulator layer in the process which forms field oxide.

[Claim 2] The manufacture approach of the semiconductor device according to claim 1 characterized by forming a side attachment wall by silicon oxide in the process which prepares a side attachment wall in said antioxidizing film.

[Claim 3] The manufacture approach of the semiconductor device according to claim 1 characterized by forming a side attachment wall by the silicon nitride in the process which prepares a side attachment wall in said antioxidizing film.

[Claim 4] The manufacture approach of the semiconductor device according to claim 1 characterized by forming a side attachment wall with the polish recon film or the amorphous silicon film in the process which prepares a side attachment wall in said antioxidizing film.

[Claim 5] The manufacture approach of the semiconductor device according to claim 1 characterized by using O (oxygen) ion for an impurity in the process which performs the ion implantation of an impurity by using said side attachment wall as a mask.

[Claim 6] The manufacture approach of the semiconductor device according to claim 1 characterized by using Si (silicon) ion, Ar (argon) ion, or H (hydrogen) for impurity ion in the process which performs the ion implantation of an impurity by using said side attachment wall as a mask.

[Claim 7] The manufacture approach of the semiconductor device according to claim 1 characterized by using B (boron) ion or BF₂ for impurity ion in the process which performs the ion implantation of an impurity by using said side attachment wall as a mask.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the isolation formation process suitable for detailed-ization about the manufacture approach of a semiconductor device.

[0002]

[Description of the Prior Art] In the manufacture approach of a semiconductor device, oxidation treatment is performed by using as a mask the antioxidizing film (silicon nitride) formed alternatively [on a pad oxide film] as the well-known approach especially about the isolation formation process, and field oxide (thick silicon oxide) is obtained as a component demarcation membrane.

[0003] There is a technique which was going to realize detailed-ization beyond the limitation of a photolithography technique by preparing a side attachment wall in the mask layer in the case of performing field oxidation like JP,2-014782,B, JP,61-256650,A, and JP,6-291113,A, while current and detailed-ization progress.

[0004] Moreover, in order to stop a BAZU beak, there were JP,4-080927,A, JP,5-041375,A, JP,63-122156,A, JP,3-285345,A, and a technique of having performed an ion implantation to a field oxide formation schedule field like JP,4-245633,A, and increasing oxidation of a lengthwise direction compared with the oxidation to a longitudinal direction.

[0005] That is, drawing 4 is the sectional view of the wafer which met in order of the process of the manufacture approach of the conventional semiconductor device. As shown in drawing 4 , in order to form a component isolation region, silicon oxide 402 is attached for the pad oxide film for stress relaxation by thermal oxidation on the wafer of a silicon substrate 401. Next, the silicon nitride 403 is deposited with a CVD method all over a wafer. And after applying the resist film 404 all over a wafer, opening of the formation schedule field of field oxide is alternatively carried out by the photolithography method.

[0006] Next, as shown in drawing 4 (b), a silicon nitride is alternatively etched by the dry etching method.

[0007] And as shown in drawing 4 (c), by using said silicon nitride 403 as a mask, by using together wet oxidation, dry oxidation or wet oxidation, and dry oxidation, the oxide film 405 thick as field oxide is formed, and the structure of drawing 4 (d) is acquired.

[0008]

[Problem(s) to be Solved by the Invention] However, about the conventional isolation formation process, there is a problem that it is difficult to stop a BAZU beak and to mitigate the stress to a substrate further possible [detailed-izing].

[0009] Then, this invention solves the above-mentioned trouble and it is in offering the manufacture approach of the semiconductor device in which detailed-izing is possible and which can mitigate [stopping a BAZU beak and] the stress to a substrate further.

[0010]

[Means for Solving the Problem] This invention is characterized by to include the process which prepares the antioxidizing film alternatively on a silicon substrate through a pad oxide film in the process which forms field oxide, the process which prepares a side attachment wall in said antioxidizing film, said antioxidizing film and the process which perform the ion implantation of an impurity by using said side attachment wall as a mask, and the process which perform thermal-oxidation processing further by using said antioxidizing film and said side attachment wall as a mask, and form said field insulator layer.

[0011] Moreover, in the process which prepares a side attachment wall in said antioxidizing film, it is characterized by forming a side attachment wall with silicon oxide, a silicon nitride, the polish recon film, or

the amorphous silicon film.

[0012] And in the process which performs the ion implantation of an impurity by using said side attachment wall as a mask, it is characterized by using O (oxygen) ion, Si (silicon) ion, Ar (argon) ion, H (hydrogen) ion, B (boron) ion, or BF₂ for an impurity.

[0013]

[Function] According to the manufacture approach of the semiconductor device of this invention, compared with the tooth space by which opening is carried out using a photolithography technique, detailed-ization is attained by the side attachment wall by attaching a side attachment wall to the mask layer at the time of field oxidation. Moreover, energy required since the bonding strength between the silicon of a silicon substrate falls and it becomes oxygen with silicon oxide in response to the time of oxidation by driving in a high-concentration impurity becomes low. Therefore, an oxidation rate goes up only the field oxide formation schedule field by which the ion implantation was carried out.

[0014] Therefore, the oxidation time amount for obtaining the same field oxidation thickness as the former is good at least. This is that the time amount to which the silicon substrate directly under a side attachment wall currently formed in mask **** oxidizes is shortened, consequently the stress which the substrate directly under a side attachment wall receives is mitigated compared with the former.

[0015]

[Embodiment of the Invention] In the gestalt of operation of this invention, it explains below based on an example at a detail. Drawing 1, drawing 2, and drawing 3 are the sectional views of the wafer which met in order of the process of the manufacture approach of the semiconductor device of this invention.

[0016] 101, 201, 301, and 401 in drawing are a silicon substrate. 102, 202, 302, and 402 are the silicon oxide formed of thermal oxidation. 103, 203, 303, 205, and 403 are the silicon nitrides formed by the CVD method. 104, 204, 304, and 404 are resists. 105 is the silicon oxide formed by the CVD method. 305 is the polish recon film or amorphous silicon film formed by the CVD method. 105', 205', and 305' are side attachment walls. 106, 206, and 306 are the impurity ion of O (oxygen), Si (silicon), Ar (argon), H (hydrogen), B (boron), or BF₂. 107, 207, and 307 are the fields where high-concentration ion was poured in. 108, 208, 308, and 405 are field oxide which consists of the silicon oxide formed of thermal oxidation. The film whose 309 was the polish recon film or the amorphous silicon film turns into silicon oxide by thermal oxidation.

[0017] The example of this invention is explained. First, drawing 1 is explained. As shown in drawing 1 (a), in order to form a component isolation region, silicon oxide 102 with a thickness of dozens of Å to 300Å is attached for the pad oxide film for stress relaxation by thermal oxidation on the wafer of a silicon substrate 101. Next, the silicon nitride 103 with a thickness of 1000 to 2000Å is deposited with a CVD method all over a wafer. And after applying the resist film 104 all over a wafer, opening of the formation schedule field of field oxide is alternatively carried out by the photolithography method.

[0018] Next, as shown in drawing 1 (b), the silicon nitride of resist opening is etched using the etching gas of CH₄ or CH₄O₂ under number of pressures 100mTorr by the dry etching method.

[0019] And as shown in drawing 1 (c), silicon oxide 105 is deposited with a CVD method.

[0020] Then, as shown in drawing 1 (d), silicon oxide is etched using the etching gas of CHF₃ under the number Torr of pressures by the dry etching method, and side-attachment-wall 105' is formed in the edge of the silicon nitride 103.

[0021] Next, as shown in drawing 1 (e), the impurity ion of O (oxygen), Si (silicon), Ar (argon), H (hydrogen), B (boron), or BF₂ is poured in with two or more [1015cm⁻²] doses. The field 107 into which the impurity went by that cause is formed.

[0022] Here, when Si (silicon), Ar (argon), and H (hydrogen) ion are used as a dopant, the layer which received the damage is formed in a silicon substrate, and oxidation is promoted in an oxidizing atmosphere.

[0023] Moreover, since O (oxygen) used as silicon oxide SiO₂ has entered into the silicon substrate when using O (oxygen) ion as a dopant, an oxidation rate improves remarkably.

[0024] And when the impurity ion of B (boron) or BF₂ is used as a dopant, the effectiveness as a stopper for suppressing field reversal pressure-proofing can also be expected.

[0025] And as shown in drawing 1 (f), the oxide film 108 thick as field oxide is formed by using together wet oxidation, dry oxidation or wet oxidation, and dry oxidation under 1000 degrees C - 1150 degrees C conditions by using said silicon nitride 103 and side-attachment-wall 105' as a mask.

[0026] Then, as shown in drawing 1 (g), before removing a silicon nitride, the upper part of the thin silicon oxide formed on the silicon nitride and field oxide and side-attachment-wall 105' are etched with the solution containing fluoric acid. The amount of etching is performed to extent which removes side-attachment-wall 105' completely.

[0027] Next, as shown in drawing 1 (h), a silicon nitride is etched with an about 10-degree C heat phosphoric acid more than 100.

[0028] And the rest performs the usual process and forms an MIS transistor.

[0029] Thus, only side-attachment-wall width of face can carry out opening of the narrower field beyond the limitation of the photolithography method, and detailed-ization of the formed component isolation region is attained.

[0030] Moreover, since the damage layer formed of the ion implantation has a twice [1.5 times to] as many oxidation rate as this compared with a field without a damage in the case of thermal oxidation, the oxidation rate of the lengthwise direction of the wafer in a field oxide formation process is large compared with the oxidation rate of the longitudinal direction in which a BAZU beak is formed. That is, since it can carry out by little [in order to obtain the field oxide of the same thickness as the former] time amount, there is little lateral oxidization and a BAZU beak becomes short.

[0031] Furthermore, in the silicon nitride 103 on the field in which a BAZU beak is formed, since there is little oxidation of a lower silicon substrate, there is little climax compared with the former. Therefore, the stress concerning a silicon substrate is also effective in being few.

[0032] Next, drawing 2 is explained. As shown in drawing 2 (a), in order to form a component isolation region, silicon oxide 202 with a thickness of dozens of Å to 300Å is attached for the pad oxide film for stress relaxation by thermal oxidation on the wafer of a silicon substrate 201. Next, the silicon nitride 203 with a thickness of 1000 to 2000Å is deposited with a CVD method all over a wafer. And after applying the resist film 204 all over a wafer, opening of the formation schedule field of field oxide is alternatively carried out by the photolithography method.

[0033] Next, as shown in drawing 2 (b), the silicon nitride of resist opening is etched using the etching gas of CH₄ or CH₄O₂ under number of pressures 100mTorr by the dry etching method.

[0034] And as shown in drawing 2 (c), the silicon nitride 205 is deposited with a CVD method.

[0035] Then, as shown in drawing 2 (d), silicon oxide is etched using the etching gas of CHF₃ under the number Torr of pressures by the dry etching method, and side-attachment-wall 205' is formed in the edge of the silicon nitride 203.

[0036] Next, as shown in drawing 2 (e), the impurity ion of O (oxygen), Si (silicon), Ar (argon), H (hydrogen), B (boron), or ** is poured in with two or more [1015cm⁻² -] doses. The field 207 which received the damage by that cause is formed.

[0037] Here, as said drawing 1 explained, when Si (silicon), Ar (argon), and H (hydrogen) ion are used as a dopant, the layer which received the damage is formed in a silicon substrate, and oxidation is promoted in an oxidizing atmosphere.

[0038] Moreover, since O (oxygen) used as silicon oxide SiO₂ has entered into the silicon substrate when using O (oxygen) ion as a dopant, an oxidation rate improves remarkably.

[0039] and when the impurity ion of B (boron) or BF₂ is used as a dopant, the effectiveness as a stopper for suppressing field reversal pressure-proofing also wants to come -- it can do.

[0040] And as shown in drawing 2 (f), the oxide film 208 thick as field oxide is formed by using together wet oxidation, dry oxidation or wet oxidation, and dry oxidation under 1000 degrees C - 1150 degrees C conditions by using said silicon nitride 203 and side-attachment-wall 205' as a mask.

[0041] Then, as shown in drawing 2 (g), before removing a silicon nitride, the upper part of the thin silicon oxide formed on the silicon nitride and field oxide is etched with the solution containing fluoric acid. The amount of etching is performed to extent which removes 10% - 20% of field oxide.

[0042] Next, as shown in drawing 2 (h), a silicon nitride is etched with an about 10-degree C heat phosphoric acid more than 100.

[0043] And the rest performs the usual process and forms an MIS transistor.

[0044] Thus, only side-attachment-wall width of face can carry out opening of the narrower field beyond the limitation of the photolithography method, and detailed-ization of the formed component isolation region is attained.

[0045] Moreover, since the damage layer formed of the ion implantation has a twice [1.5 times to] as many oxidation rate as this compared with a field without a damage in the case of thermal oxidation, the oxidation rate of the lengthwise direction of the wafer in a field oxide formation process is large compared with the oxidation rate of the longitudinal direction in which a BAZU beak is formed. That is, since it can carry out by little [in order to obtain the field oxide of the same thickness as the former] time amount, there is little lateral oxidization and a BAZU beak becomes short.

[0046] Furthermore, in the silicon nitride 203 on the field in which a BAZU beak is formed, and side-

attachment-wall 205', since there is little oxidation of the silicon substrate [directly under] of it, there is little climax compared with the former. Therefore, the stress concerning a silicon substrate is also effective in being few.

[0047] Subsequently, drawing 3 is explained. As shown in drawing 3 (a), in order to form a component isolation region, silicon oxide 302 with a thickness of dozens of Å to 300Å is attached for the pad oxide film for stress relaxation by thermal oxidation on the wafer of a silicon substrate 301. Next, the silicon nitride 303 with a thickness of 1000 to 2000Å is deposited with a CVD method all over a wafer. And after applying the resist film 304 all over a wafer, opening of the formation schedule field of field oxide is alternatively carried out by the photolithography method.

[0048] Next, as shown in drawing 3 (b), the silicon nitride of resist opening is etched using the etching gas of CH₄ or CH₄O₂ under number of pressures 100mTorr by the dry etching method.

[0049] And as shown in drawing 3 (c), the polish recon film or the amorphous silicon film 305 is deposited with a CVD method.

[0050] Then, as shown in drawing 3 (d), silicon oxide is etched using the etching gas of CHF₃ under the number Torr of pressures by the dry etching method, and side-attachment-wall 305' is formed in the edge of the silicon nitride 303.

[0051] Next, as shown in drawing 3 (e), the impurity ion of O (oxygen), Si (silicon), Ar (argon), H (hydrogen), B (boron), or BF₂ is poured in with two or more [1015cm⁻²] doses. The field 307 which received the damage by that cause is formed.

[0052] Here, as said drawing 1 explained, when Si (silicon), Ar (argon), and H (hydrogen) ion are used as a dopant, the layer which received the damage is formed in a silicon substrate, and oxidation is promoted in an oxidizing atmosphere.

[0053] Moreover, since O (oxygen) used as silicon oxide SiO₂ has entered into the silicon substrate when using O (oxygen) ion as a dopant, an oxidation rate improves remarkably.

[0054] And when the impurity ion of B (boron) or BF₂ is used as a dopant, the effectiveness as a stopper for suppressing field reversal pressure-proofing can also be expected.

[0055] And as shown in drawing 3 (f), the oxide film 308 thick as field oxide is formed by using together wet oxidation, dry oxidation or wet oxidation, and dry oxidation under 1000 degrees C - 1150 degrees C conditions by using said silicon nitride 303 and side-attachment-wall 305' as a mask. At this time, side-attachment-wall 305' also oxidizes and it becomes silicon oxide.

[0056] Then, as shown in drawing 3 (g), before removing a silicon nitride, the upper part of the thin silicon oxide formed on the silicon nitride and field oxide and side-attachment-wall 305' are etched with the solution containing fluoric acid. The amount of etching is performed to extent which removes side-attachment-wall 305' completely.

[0057] Next, as shown in drawing 3 (h), a silicon nitride is etched with an about 10-degree C heat phosphoric acid more than 100.

[0058] And the rest performs the usual process and forms an MIS transistor.

[0059] Thus, only side-attachment-wall width of face can carry out opening of the narrower field beyond the limitation of the photolithography method, and detailed-ization of the formed component isolation region is attained. Moreover, the width of face of side-attachment-wall 305' is controllable by replacing the thickness of the polish recon film or an amorphous silicon 305 with.

[0060] Moreover, since the damage layer formed of the ion implantation has a twice [1.5 times to] as many oxidation rate as this compared with a field without a damage in the case of thermal oxidation, the oxidation rate of the lengthwise direction of the wafer in a field oxide formation process is large compared with the oxidation rate of the longitudinal direction in which a BAZU beak is formed. That is, since it can carry out by little [in order to obtain the field oxide of the same thickness as the former] time amount, there is little lateral oxidization and a BAZU beak becomes short.

[0061] Furthermore, in the silicon nitride 303 on the field in which a BAZU beak is formed, since there is little oxidation of a lower silicon substrate, there is little climax compared with the former. Therefore, the stress concerning a silicon substrate is also effective in being few.

[0062]

[Effect of the Invention] As explained above, according to this invention, it has the following effectiveness.

[0063] Thus, the formed component isolation region can carry out opening of the narrow field, and detailed-ization of it is attained. Moreover, since the damage layer formed of the ion implantation has larger oxidizing velocity in the case of thermal oxidation and it can be performed by time amount shorter than before, there is little lateral oxidization and a BAZU beak becomes short.

[0064] Furthermore, since there is little oxidation of the silicon substrate under the silicon nitride on the field in which a BAZU beak is formed, compared with the former, there is little climax and the stress concerning a silicon substrate is also effective in being few.

[0065] Therefore, there are more few crystal defects and the isolation in which detailed-izing is possible can be offered.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the wafer which met in order of the process of the manufacture approach of the semiconductor device by this invention.

[Drawing 2] It is the sectional view of the wafer which met in order of the process of the manufacture approach of the semiconductor device by this invention.

[Drawing 3] It is the sectional view of the wafer which met in order of the process of the manufacture approach of the semiconductor device by this invention.

[Drawing 4] It is the sectional view of the wafer which met in order of the process of the manufacture approach of the conventional semiconductor device.

[Description of Notations]

101, 201, 301, 401 ... Silicon substrate

102, 202, 302, 309, 402 ... Silicon oxide

103, 203, 303, 205, 403 ... Silicon nitride

104, 204, 304, 404 ... Resist

105 ... Silicon oxide

305 ... The polish recon film or amorphous silicon film

105' ... Side attachment wall which consists of silicon oxide

205' ... Side attachment wall which consists of a silicon nitride

305' ... Side attachment wall which consists of the polish recon film or the amorphous silicon film

106, 206, 306 ... Impurity ion of O (oxygen), Si (silicon), Ar (argon), H (hydrogen), B (boron), or BF₂

107, 207, 307 ... Field where high-concentration ion was poured in

108, 208, 308, 405 ... Field oxide

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

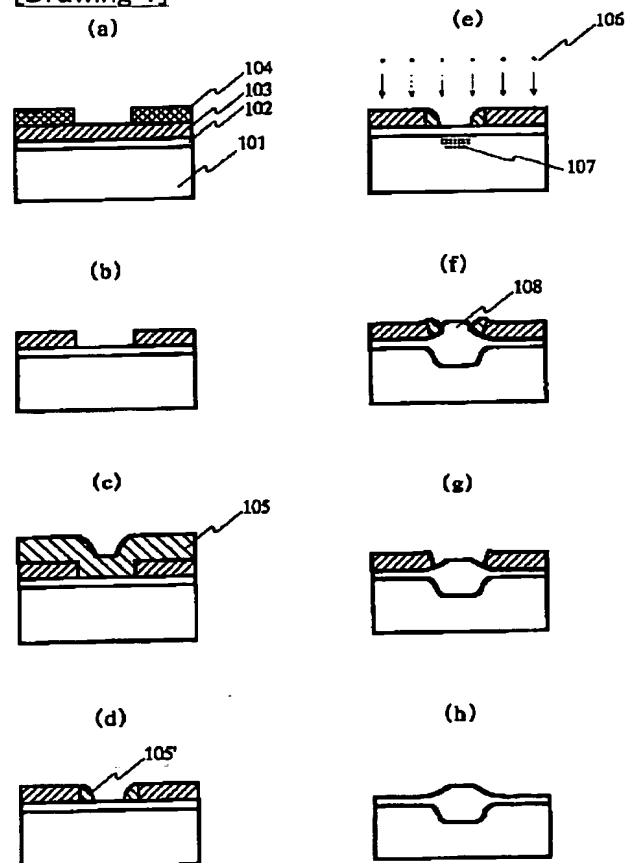
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

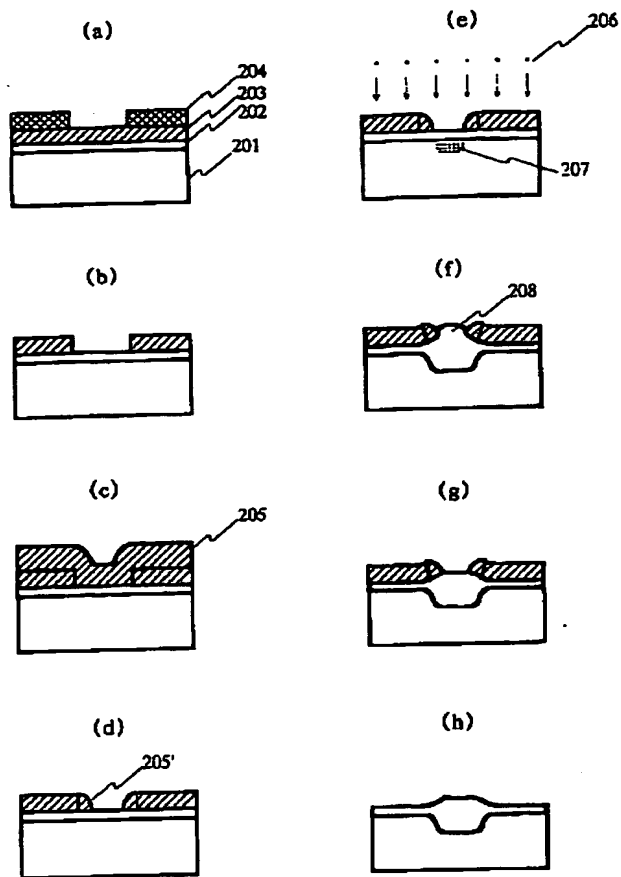
3.In the drawings, any words are not translated.

DRAWINGS

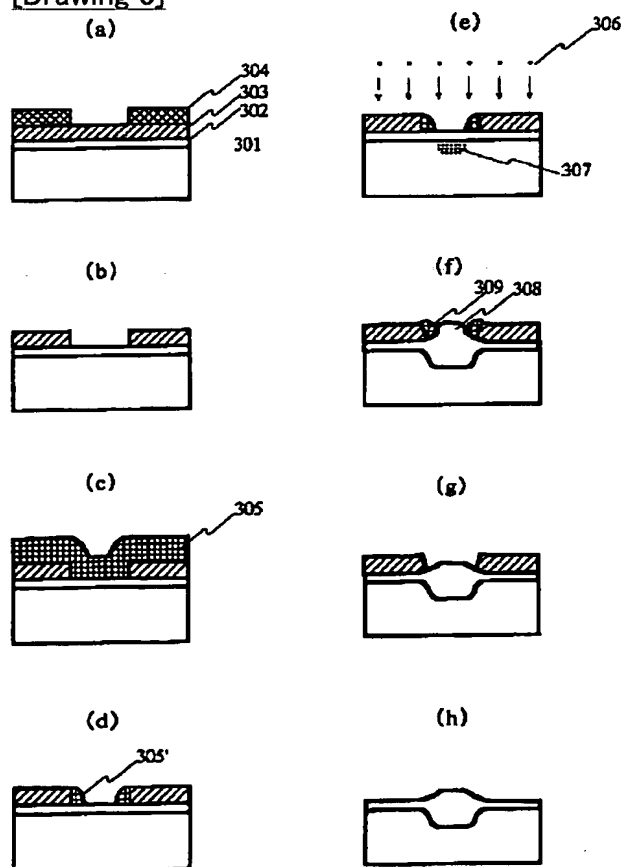
[Drawing 1]



[Drawing 2]

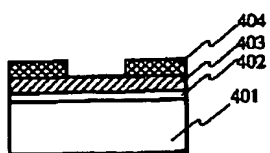


[Drawing 3]

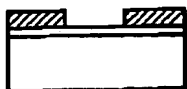


[Drawing 4]

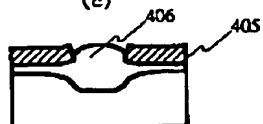
(a)



(b)



(c)



(d)



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-330920

(43) 公開日 平成9年(1997)12月22日

(51) Int.Cl.⁶

H 0 1 L 21/316

21/265

21/76

識別記号

庁内整理番号

F I

H 0 1 L 21/94

21/265

21/76

技術表示箇所

A

Q

M

R

審査請求 未請求 請求項の数7 O L (全 7 頁)

(21) 出願番号

特願平8-149604

(22) 出願日

平成8年(1996)6月11日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 丸尾 豊

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

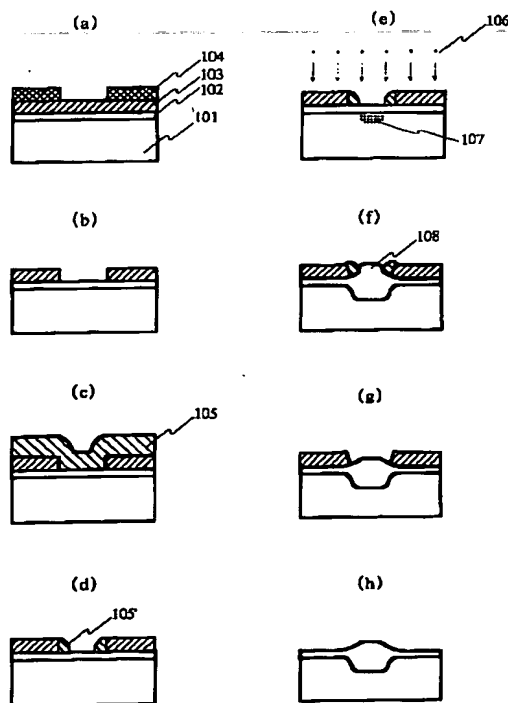
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 LOCOS素子分離においてバースピークが短く、基板へのストレスが少ない半導体装置の製造方法を提供する。

【解決手段】 フィールド酸化膜形成時のマスクとしてシリコン窒化膜103を選択的に形成して、そのマスクに側壁105'を設ける。次にフィールド酸化膜形成予定領域にO、Si、Ar、H、Bまたは、BF₂の不純物イオン106を注入することにより基板にダメージ層107を形成する。その後、熱酸化によりフィールド酸化膜108を得る。

【効果】 フィールド酸化膜形成時のマスクとして働く側壁の幅だけ微細化が可能となり、基板に注入されたイオンにより基板に対して垂直方向の酸化レートがあがり、水平方向の酸化レートは相対的に下がり、バースピークは短くなる。更に、側壁直下の酸化が抑えられるため、基板の受けるストレスは軽減される。



【特許請求の範囲】

【請求項1】 フィールド酸化膜を形成する工程において、酸化防止膜をパッド酸化膜を介して、シリコン基板上に選択的に設ける工程、前記酸化防止膜に側壁を設ける工程、前記酸化防止膜および、前記側壁をマスクとして不純物のイオン注入を行う工程、更に前記酸化防止膜および、前記側壁をマスクとして熱酸化処理を行い前記フィールド絶縁膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記酸化防止膜に側壁を設ける工程において、側壁をシリコン酸化膜により形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記酸化防止膜に側壁を設ける工程において、側壁をシリコン窒化膜により形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記酸化防止膜に側壁を設ける工程において、側壁をポリシリコン膜または、アモルファスシリコン膜により形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記側壁をマスクとして不純物のイオン注入を行う工程において、不純物をO（酸素）イオンを用いることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 前記側壁をマスクとして不純物のイオン注入を行う工程において、不純物イオンをSi（シリコン）イオン、Ar（アルゴン）イオンまたは、H（水素）を用いることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 前記側壁をマスクとして不純物のイオン注入を行う工程において、不純物イオンをB（ボロン）イオンまたは、BF₂を用いることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に微細化に適した素子分離形成工程に関する。

【0002】

【従来の技術】 半導体装置の製造方法において、特に素子分離形成工程に関しては公知方法としてパッド酸化膜上の選択的に形成された酸化防止膜（シリコン窒化膜）をマスクとして酸化処理を行い、素子分離膜としてフィールド酸化膜（厚いシリコン酸化膜）を得る。

【0003】 現在、微細化が進む中で、特公平2-014782、特開昭61-256650、特開平6-291113のように、フィールド酸化を行う場合のマスク層に側壁を設けることにより、フォトリソグラフィ技術の限界を越えた微細化を実現しようとした技術がある。

【0004】 また、バースピークを抑えるために、特開

平4-080927、特開平5-041375、特開昭63-122156、特開平3-285345、特開平4-245633の様にフィールド酸化膜形成予定領域にイオン注入を施し横方向への酸化に比べ縦方向の酸化を増大させる技術があった。

【0005】 即ち、図4は従来の半導体装置の製造方法の工程順に沿ったウェーハの断面図である。図4に示すように、素子分離領域を形成するためにシリコン基板401のウェーハ上にストレス緩和のためのパッド酸化膜を熱酸化によりシリコン酸化膜402をつける。次にウェーハ全面にCVD法によりシリコン窒化膜403を堆積する。それから、レジスト膜404をウェーハ全面に塗布した後、フォトリソグラフィによりフィールド酸化膜の形成予定領域を選択的に開口する。

【0006】 次に図4（b）に示すようにドライエッチング法により選択的にシリコン窒化膜をエッチングする。

【0007】 それから、図4（c）に示すように前記シリコン窒化膜403をマスクとして、ウェット酸化、ドライ酸化、またはウェット酸化とドライ酸化を併用することによりフィールド酸化膜として厚い酸化膜405を形成し、図4（d）の構造を得る。

【0008】

【発明が解決しようとする課題】 しかし、従来の素子分離形成工程に関しては微細化が可能かつ、バースピークを抑えること、更に基板へのストレスを軽減することが困難という問題がある。

【0009】 そこで本発明は上記問題点を解決するものであり、微細化が可能かつ、バースピークを抑えること、更に基板へのストレスを軽減することが可能な半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】 本発明は、フィールド酸化膜を形成する工程において酸化防止膜をパッド酸化膜を介して、シリコン基板上に選択的に設ける工程、前記酸化防止膜に側壁を設ける工程、前記酸化防止膜および、前記側壁をマスクとして不純物のイオン注入を行う工程、更に前記酸化防止膜および、前記側壁をマスクとして熱酸化処理を行い前記フィールド絶縁膜を形成する工程を含むことを特徴とする。

【0011】 また、前記酸化防止膜に側壁を設ける工程において、側壁をシリコン酸化膜、シリコン窒化膜、ポリシリコン膜または、アモルファスシリコン膜により形成することを特徴とする。

【0012】 そして、前記側壁をマスクとして不純物のイオン注入を行う工程において、不純物をO（酸素）イオン、Si（シリコン）イオン、Ar（アルゴン）イオン、H（水素）イオン、B（ボロン）イオンまたは、BF₂を用いることを特徴とする。

【0013】

【作用】本発明の半導体装置の製造方法によれば、フィールド酸化時のマスク層に側壁を付けることにより、フォトリソグラフィ技術を用いて開口されるスペースに比べ側壁分だけ微細化が可能となる。また、高濃度の不純物が打ち込まれることによりシリコン基板のシリコン間の結合力が下がり、酸化時に酸素と反応してシリコン酸化膜となるために必要なエネルギーが低くなる。そのため、イオン注入されたフィールド酸化膜形成予定領域のみ酸化レートが上がる。

【0014】したがって、従来と同じフィールド酸化膜厚を得るための酸化時間は少なくとも良い。このことはマスク層端に形成されている側壁直下のシリコン基板が酸化される時間が短縮されることであり、その結果、側壁直下の基板が受けるストレスは従来に比べて軽減される。

【0015】

【発明の実施の形態】本発明の実施の形態においては実施例をもとに以下に詳細に説明する。図1、図2、図3は本発明の半導体装置の製造方法の工程順に沿ったウェーハの断面図である。

【0016】図中の101、201、301、401はシリコン基板である。102、202、302、402は熱酸化により形成されたシリコン酸化膜である。103、203、303、205、403はCVD法により形成されたシリコン窒化膜である。104、204、304、404はレジストである。105はCVD法により形成されたシリコン酸化膜である。305はCVD法により形成されたポリシリコン膜またはアモルファスシリコン膜である。105'、205'、305'は側壁である。106、206、306はO（酸素）、Si（シリコン）、Ar（アルゴン）、H（水素）、B（ボロン）または、BF₂の不純物イオンである。107、207、307は高濃度のイオンが注入された領域である。108、208、308、405は熱酸化により形成されたシリコン酸化膜から成るフィールド酸化膜である。309はポリシリコン膜またはアモルファスシリコン膜であった膜が熱酸化によりシリコン酸化膜となったものである。

【0017】本発明の実施例について説明する。まず、図1について説明する。図1（a）に示すように素子分離領域を形成するためにシリコン基板101のウェーハ上にストレス緩和のためのパッド酸化膜を熱酸化により数十Åから300Åの厚さのシリコン酸化膜102をつける。次にウェーハ全面にCVD法により1000Åから2000Åの厚さのシリコン窒化膜103を堆積する。それから、レジスト膜104をウェーハ全面に塗布した後、フォトリソグラフィ法によりフィールド酸化膜の形成予定領域を選択的に開口する。

【0018】次に図1（b）に示すようにドライエッチング法により圧力数百mTorr下でCH₄またはCH₄

O₂のエッチングガスを用いてレジスト開口部のシリコン窒化膜をエッチングする。

【0019】それから、図1（c）に示すようにCVD法によりシリコン酸化膜105を堆積する。

【0020】その後、図1（d）に示すようにドライエッチング法により圧力数Torr下でCHF₃のエッチングガスを用いてシリコン酸化膜をエッチングし、シリコン窒化膜103の端に側壁105'を形成する。

【0021】次に図1（e）に示すようにO（酸素）、Si（シリコン）、Ar（アルゴン）、H（水素）、B（ボロン）または、BF₂の不純物イオンを10¹⁵cm⁻²以上のドーズ量で注入する。それにより不純物の入った領域107を形成する。

【0022】ここで、ドーパントとしてSi（シリコン）、Ar（アルゴン）、H（水素）イオンを使用した場合、シリコン基板にはダメージを受けた層が形成され、酸化雰囲気中では酸化が促進される。

【0023】また、ドーパントとしてO（酸素）イオンを用いる場合はシリコン基板中にシリコン酸化膜SiO₂となるO（酸素）が入り込んでいるため酸化レートが著しく向上する。

【0024】そして、ドーパントとしてB（ボロン）または、BF₂の不純物イオンを使用した場合は、フィールド反転耐圧を抑えるためのストッパとしての効果も期待できる。

【0025】それから、図1（f）に示すように前記シリコン窒化膜103と側壁105'をマスクとして、1000℃～1150℃の条件下でウェット酸化、ドライ酸化、またはウェット酸化とドライ酸化を併用することによりフィールド酸化膜として厚い酸化膜108を形成する。

【0026】続いて、図1（g）に示すようにシリコン窒化膜を除去する前にシリコン窒化膜上に形成された薄いシリコン酸化膜、フィールド酸化膜の上部と側壁105'をフッ酸を含む溶液にてエッチングする。エッチング量は側壁105'を完全に取除く程度に行う。

【0027】次に図1（h）に示すように、100数十℃程度の熱リン酸にてシリコン窒化膜をエッチングする。

【0028】それから後は通常の工程を行い、MISトランジスタを形成する。

【0029】このように形成された素子分離領域は側壁幅だけフォトリソグラフィ法の限界以上のより狭い領域を開口でき、微細化が可能となる。

【0030】また、イオン注入により形成されたダメージ層は熱酸化の際、ダメージの無い領域に比べて1.5倍～2倍の酸化速度を有するため、フィールド酸化膜形成工程におけるウェーハの縦方向の酸化速度はバースピークが形成される横方向の酸化速度に比べて大きい。つまり、従来と同じ膜厚のフィールド酸化膜を得るため

に、少ない時間で行えるため、横方向の酸化は少なく、バースピークは短くなる。

【0031】更に、バースピークが形成される領域上のシリコン窒化膜103においては下のシリコン基板の酸化が少ないため、従来に比べて盛り上がりが少ない。そのため、シリコン基板にかかるストレスも少ないという効果がある。

【0032】次に、図2について説明する。図2(a)に示すように素子分離領域を形成するためにシリコン基板201のウェーハ上にストレス緩和のためのパッド酸化膜を熱酸化により数十Åから300Åの厚さのシリコン酸化膜202をつける。次にウェーハ全面にCVD法により1000Åから2000Åの厚さのシリコン窒化膜203を堆積する。それから、レジスト膜204をウェーハ全面に塗布した後、フォトリソグラフィ法によりフィールド酸化膜の形成予定領域を選択的に開口する。

【0033】次に図2(b)に示すようにドライエッチング法により圧力数百mTorr下でCH₄またはCH₄O₂のエッチングガスを用いてレジスト開口部のシリコン窒化膜をエッチングする。

【0034】それから、図2(c)に示すようにCVD法によりシリコン窒化膜205を堆積しする。

【0035】その後、図2(d)に示すようにドライエッチング法により圧力数Torr下でCHF₃のエッチングガスを用いてシリコン酸化膜をエッチングし、シリコン窒化膜203の端に側壁205'を形成する。

【0036】次に図2(e)に示すようにO(酸素)、Si(シリコン)、Ar(アルゴン)、H(水素)、B(ボロン)または、の不純物イオンを10¹⁵cm⁻²以上のドーズ量で注入する。それによりダメージを受けた領域207を形成する。

【0037】ここで、前記図1で説明したようにドーパントとしてSi(シリコン)、Ar(アルゴン)、H(水素)イオンを使用した場合、シリコン基板にはダメージを受けた層が形成され、酸化雰囲気中では酸化が促進される。

【0038】また、ドーパントとしてO(酸素)イオンを用いる場合はシリコン基板中にシリコン酸化膜SiO₂となるO(酸素)が入り込んでいるため酸化レートが著しく向上する。

【0039】そして、ドーパントとしてB(ボロン)または、BF₂の不純物イオンを使用した場合は、フィールド反転耐圧を抑えるためのストッパとしての効果もきたいである。

【0040】それから、図2(f)に示すように前記シリコン窒化膜203と側壁205'をマスクとして、1000℃～1150℃の条件下でウェット酸化、ドライ酸化、またはウェット酸化とドライ酸化を併用することによりフィールド酸化膜として厚い酸化膜208を形成

する。

【0041】続いて、図2(g)に示すようにシリコン窒化膜を除去する前にシリコン窒化膜上に形成された薄いシリコン酸化膜とフィールド酸化膜の上部をフッ酸を含む溶液にてエッチングする。エッチング量はフィールド酸化膜の10%～20%を取り除く程度に行う。

【0042】次に図2(h)に示すように、100数十℃程度の熱リン酸にてシリコン窒化膜をエッチングする。

【0043】それから後は通常の工程を行い、MISトランジスタを形成する。

【0044】このように形成された素子分離領域は側壁幅だけフォトリソグラフィ法の限界以上のより狭い領域を開口でき、微細化が可能となる。

【0045】また、イオン注入により形成されたダメージ層は熱酸化の際、ダメージの無い領域に比べて1.5倍～2倍の酸化速度を有するため、フィールド酸化膜形成工程におけるウェーハの縦方向の酸化速度はバースピークが形成される横方向の酸化速度に比べて大きい。つまり、従来と同じ膜厚のフィールド酸化膜を得るために、少ない時間で行えるため、横方向の酸化は少なく、バースピークは短くなる。

【0046】更に、バースピークが形成される領域上のシリコン窒化膜203および側壁205'においてはその直下のシリコン基板の酸化が少ないため、従来に比べて盛り上がりが少ない。そのため、シリコン基板にかかるストレスも少ないという効果がある。

【0047】ついで、図3について説明する。図3(a)に示すように素子分離領域を形成するためにシリコン基板301のウェーハ上にストレス緩和のためのパッド酸化膜を熱酸化により数十Åから300Åの厚さのシリコン酸化膜302をつける。次にウェーハ全面にCVD法により1000Åから2000Åの厚さのシリコン窒化膜303を堆積する。それから、レジスト膜304をウェーハ全面に塗布した後、フォトリソグラフィ法によりフィールド酸化膜の形成予定領域を選択的に開口する。

【0048】次に図3(b)に示すようにドライエッチング法により圧力数百mTorr下でCH₄またはCH₄O₂のエッチングガスを用いてレジスト開口部のシリコン窒化膜をエッチングする。

【0049】それから、図3(c)に示すようにCVD法によりポリシリコン膜またはアモルファスシリコン膜305を堆積しする。

【0050】その後、図3(d)に示すようにドライエッチング法により圧力数Torr下でCHF₃のエッチングガスを用いてシリコン酸化膜をエッチングし、シリコン窒化膜303の端に側壁305'を形成する。

【0051】次に図3(e)に示すようにO(酸素)、Si(シリコン)、Ar(アルゴン)、H(水素)、B

(ボロン) または、 BF_2 の不純物イオンを $1.0 \times 10^{15} \text{ cm}^{-2}$ 以上のドーズ量で注入する。それによりダメージを受けた領域307を形成する。

【0052】ここで、前記図1で説明したようにドーパントとしてSi (シリコン)、Ar (アルゴン)、H (水素) イオンを使用した場合、シリコン基板にはダメージを受けた層が形成され、酸化雰囲気中では酸化が促進される。

【0053】また、ドーパントとしてO (酸素) イオンを用いる場合はシリコン基板中にシリコン酸化膜SiO₂となるO (酸素) が入り込んでいるため酸化レートが著しく向上する。

【0054】そして、ドーパントとしてB (ボロン) または、 BF_2 の不純物イオンを使用した場合、フィールド反転耐圧を抑えるためのストッパとしての効果も期待できる。

【0055】それから、図3 (f) に示すように前記シリコン窒化膜303と側壁305' をマスクとして、 $1000^\circ\text{C} \sim 1150^\circ\text{C}$ の条件下でウェット酸化、ドライ酸化、またはウェット酸化とドライ酸化を併用することによりフィールド酸化膜として厚い酸化膜308を形成する。このとき、側壁305' も酸化されシリコン酸化膜となる。

【0056】続いて、図3 (g) に示すようにシリコン窒化膜を除去する前にシリコン窒化膜上に形成された薄いシリコン酸化膜、フィールド酸化膜の上部と側壁305' をフッ酸を含む溶液にてエッチングする。エッチング量は側壁305' を完全に取り除く程度に行う。

【0057】次に図3 (h) に示すように、 100 数十 $^\circ\text{C}$ 程度の熱リン酸にてシリコン窒化膜をエッチングする。

【0058】それから後は通常の工程を行い、MISトランジスタを形成する。

【0059】このように形成された素子分離領域は側壁幅だけフォトリソグラフィー法の限界以上のより狭い領域を開口でき、微細化が可能となる。また側壁305' の幅は、ポリシリコン膜またはアモルファスシリコン305の膜厚を代えることにより、制御可能である。

【0060】また、イオン注入により形成されたダメージ層は熱酸化の際、ダメージの無い領域に比べて1.5倍 \sim 2倍の酸化速度を有するため、フィールド酸化膜形成工程におけるウェーハの縦方向の酸化速度はバースピークが形成される横方向の酸化速度に比べて大きい。つまり、従来と同じ膜厚のフィールド酸化膜を得るために、少ない時間で行えるため、横方向の酸化は少なく、バースピークは短くなる。

【0061】更に、バースピークが形成される領域上のシリコン窒化膜303においては下のシリコン基板の酸

化が少ないため、従来に比べて盛り上がりが少ない。そのため、シリコン基板にかかるストレスも少ないという効果がある。

【0062】

【発明の効果】以上説明したように本発明によれば以下の効果を有する。

【0063】このように形成された素子分離領域は狭い領域を開口でき、微細化が可能となる。また、イオン注入により形成されたダメージ層は熱酸化の際、より大きい酸化速度を有するため、従来より短い時間で行えるため、横方向の酸化は少なく、バースピークは短くなる。

【0064】更に、バースピークが形成される領域上のシリコン窒化膜下のシリコン基板の酸化が少ないため、従来に比べて盛り上がりが少く、シリコン基板にかかるストレスも少ないという効果がある。

【0065】よって、より結晶欠陥の少なく、微細化が可能な素子分離を提供できる。

【図面の簡単な説明】

【図1】本発明による半導体装置の製造方法の工程順に沿ったウェーハの断面図である。

【図2】本発明による半導体装置の製造方法の工程順に沿ったウェーハの断面図である。

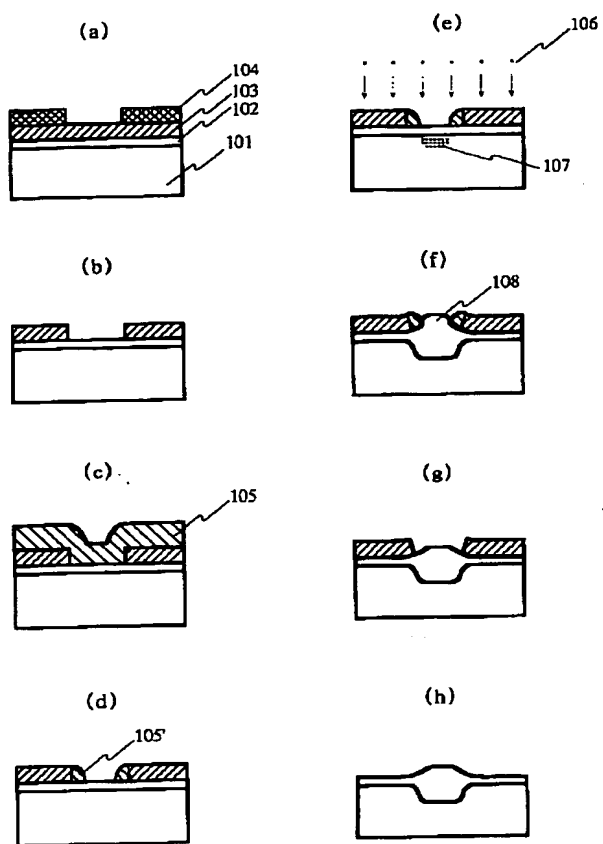
【図3】本発明による半導体装置の製造方法の工程順に沿ったウェーハの断面図である。

【図4】従来の半導体装置の製造方法の工程順に沿ったウェーハの断面図である。

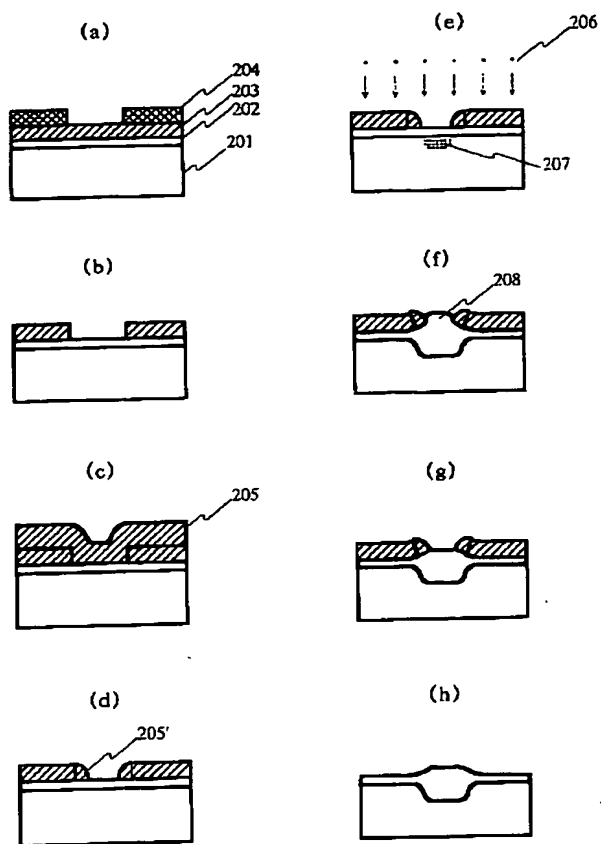
【符号の説明】

101、201、301、401・・・シリコン基板
102、202、302、309、402・・・シリコン酸化膜
103、203、303、205、403・・・シリコン窒化膜
104、204、304、404・・・レジスト
105・・・シリコン酸化膜
305・・・ポリシリコン膜またはアモルファスシリコン膜
105'・・・シリコン酸化膜から成る側壁
205'・・・シリコン窒化膜から成る側壁
305'・・・ポリシリコン膜またはアモルファスシリコン膜から成る側壁
106、206、306・・・O (酸素)、Si (シリコン)、Ar (アルゴン)、H (水素)、B (ボロン) または、 BF_2 の不純物イオン
107、207、307・・・高濃度のイオンが注入された領域
108、208、308、405・・・フィールド酸化膜

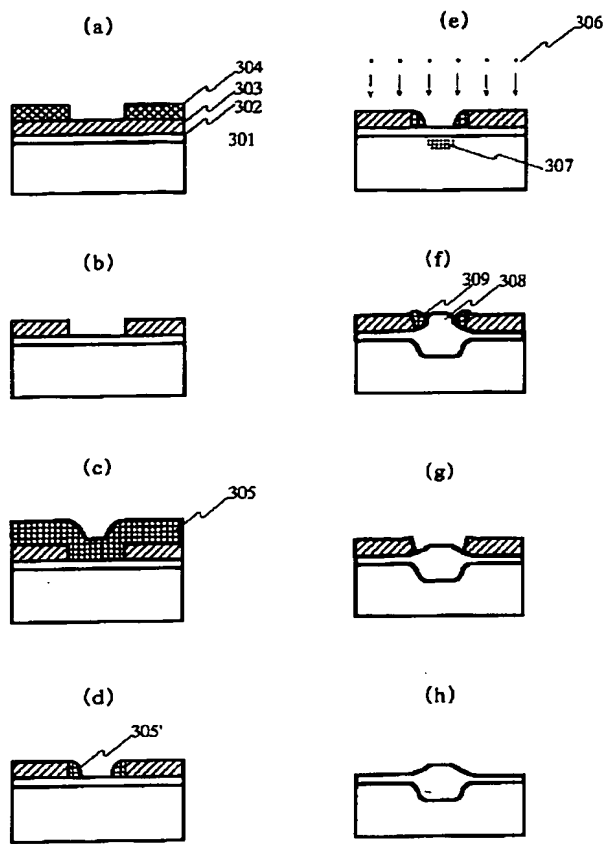
【図 1】



【図 2】



【図 3】



【図 4】

